

(4)

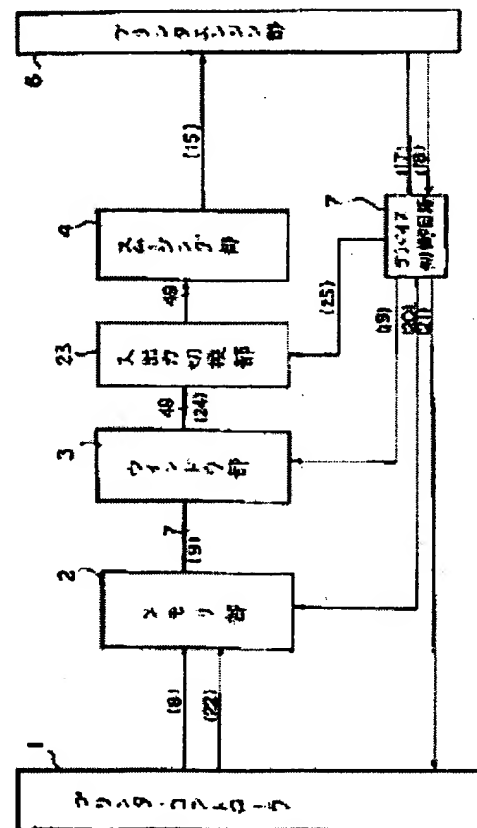
RECORDING DEVICE

Patent number: JP5124263
Publication date: 1993-05-21
Inventor: SAITO TETSUO; others: 03
Applicant: CANON INC
Classification:
 - **International:** B41J2/485; G06F15/66; G09G5/28; H04N1/387
 - **European:**
Application number: JP19910291116 19911107
Priority number(s):

Abstract of JP5124263

PURPOSE: To simplify a structure of interpolation processing and reduce the cost of a device.

CONSTITUTION: A printer controller 1 sends out an image data 8 with resolution of 300 dpi in horizontal and vertical scans synchronizing with a clock 22. A memory 2 receives the image data 8 and stores the image data for 7 lines of the vertical scan, and outputs a signal 9 of 7 bits to a window 3. At the window 3, each image data of 7 bits is developed to 7 bits of the horizontal scan so as to constitute a window of 49 bits in total, which is sent to an input/output switch 23. When the input/output switch 23 switches the data in accordance with selection signal so as to send it to a smoothing section 4, an interpolation processing is performed at the smoothing section 4 where the number of logic gates is reduced.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-124263

(43) 公開日 平成5年(1993)5月21日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J 2/485				
G 0 6 F 15/66	3 5 5 C	8420-5L		
G 0 9 G 5/28		9061-5G		
H 0 4 N 1/387	1 0 1	8839-5C		
		8804-2C		
			B 4 1 J 3/12	G

審査請求 未請求 請求項の数3(全14頁) 最終頁に続く

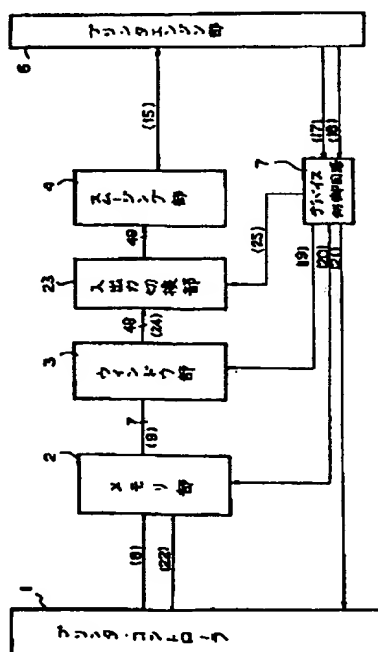
(21) 出願番号	特願平3-291116	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成3年(1991)11月7日	(72) 発明者	斉藤 徹雄 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	柏原 淳 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72) 発明者	真野 宏 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74) 代理人	弁理士 大塚 康徳 (外1名) 最終頁に続く

(54) 【発明の名称】 記録装置

(57) 【要約】

【目的】 補間処理の構成を簡略化し、装置のコストを下げる。

【構成】 プリントコントローラ1は、主走査、副走査とも解像度300dpiの画像データ(8)をクロック(22)に同期して送出する。メモリ部2は、画像データ(8)を受信して副走査7ライン分の画像データを記憶し、ウィンドウ部3に7ビットの信号(9)を出力する。このウィンドウ部3では、7ビットの各画像データを主走査7ビットに展開し、合計49ビットの窓(ウィンドウ)を構成して、それを入出力切換部23に送出する。そして、入出力切換部23が選択信号に従ってデータを切り換えてスムージング部4に送ることで、論理ゲート数が削減されたスムージング部4での補間処理が行なわれる。



1

【特許請求の範囲】

【請求項1】 入力されたデータに補間処理を施して2値データとして出力する記録装置において、

記録密度情報を含む入力データのビット情報を記憶する手段と、

前記ビット情報の所定領域内の複数のビット情報を抽出する手段と、

前記抽出されたビット情報を、所定の信号に従って選択的に切り換えて出力する切換手段と、

前記切換手段より出力されたビット情報の記録密度を、前記入力データのビット情報に含まれる記録密度を越える記録密度に変換する変換手段とを備えることを特徴とする記録装置。

【請求項2】 前記切換手段は、前記入力データのビット情報に同期したクロック及び外部機器より送られてくる水平同期信号を計数した信号に従って切り換えを行なうことを特徴とする請求項1項に記載の記録装置。

【請求項3】 請求項1に記載の記録装置は、さらに外部機器より送られてくる指示信号を受けて前記変換手段からの出力を切り換える手段を備えることを特徴とする請求項1項に記載の記録装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は入力画像データに平滑化や補間処理を施して2値画像データを出力する記録装置に関するものである。

【0002】

【従来の技術】 近年、プリンタ等による印字出力において、印字機構の進歩によつて高解像度化、及び高階調化が進んでいる。従つて、これらの進歩に合わせて画像イメージを蓄えるメモリの容量を増大する必要がある。しかし、メモリのコスト低減は、印字機構に対応する容量の増大を埋められないのが現状である。そこで、小メモリによる画像イメージと高品位な出力が可能な印字機構のギャップを埋めるために、従来より、画像イメージの補間等の処理を行なつて印字機構の性能を引き出す方法が考案されている。そして、この種の補間処理では、一つの画素の階調生成のために着目画素の周辺の画素情報を参照し、それに基づいて着目画素の階調を決定している。以下、その一般的な例について説明する。

【0003】 図9は、従来の記録装置の構成を示すブロック図である。同図において、プリンタコントローラ1は、主走査、副走査とも解像度300dpiの画像データ(8)をクロック(22)に同期して送出する。そして、メモリ部2は、画像データ(8)を受信して副走査7ライン分の画像データを記憶し、ウィンドウ部3に7ビットの信号(9)を出力する。このウィンドウ部3では、7ビットの各画像データを主走査7ビットに展開し、合計49ビットの窓(ウィンドウ)を構成して、それをスムージング部4に送出する。

2

【0004】 スムージング部4は、ウィンドウ部3からの49ビットのデータ(10)を受け、図10に示す論理式をもとにスムージングを行ない、結果として4ビットのデータを出力する。セレクト5は、これら4個の信号a(11)、b(12)、c(13)、d(14)から最適な信号を選択し、主走査、副走査とも600dpiの画像データ(15)を出力し、プリンタエンジン部6でそれを印字する。なお、図11は、300dpiの元画像データと補間後の600dpi画像データとの関係を示すものである。

【0005】 上述の処理の結果、図12(a)に示す処理前の画像データが、処理後は、図12(b)に示すように、その輪郭のギザギザが改善されることになる。なお、図9において、デバイス制御回路7は、装置全体の制御を司る回路であり、上述の各々のブロックに対して複数本の信号を送出する。

【0006】

【発明が解決しようとしている課題】 しかしながら、上記従来の記録装置は、1個の画素を4個の画素に変換して元画素300dpiの画像データを600dpiのデータに変換するため、補間処理を施す際、その4個のドット(画素)に対して、各々個別の前後左右対称の論理式が、上記スムージング部において必要となる。そのため、多くの論理回路が必要となり、記録装置全体のコストダウンを妨げる要因となっている。

【0007】

【課題を解決するための手段】 本発明は、上述の課題を解決することを目的としてなされたもので、上述の課題を解決する一手段として、以下の構成を備える。すなわち、入力されたデータに補間処理を施して2値データとして出力する記録装置において、記録密度情報を含む入力データのビット情報を記憶する手段と、前記ビット情報の所定領域内の複数のビット情報を抽出する手段と、前記抽出されたビット情報を、所定の信号に従って選択的に切り換えて出力する切換手段と、前記切換手段より出力されたビット情報の記録密度を、前記入力データのビット情報に含まれる記録密度を越える記録密度に変換する変換手段とを備える。好ましくは、前記切換手段は、前記入力データのビット情報に同期したクロック及び外部機器より送られてくる水平同期信号を計数した信号に従って切り換えを行なう。

【0008】

【作用】 以上の構成において、補間処理の構成を簡略化し、装置のコストを下げるよう機能する。

【0009】

【実施例】 以下、添付図面を参照して、本発明に係る好適な実施例を詳細に説明する。図1は、本発明の実施例に係る記録装置の構成を示すブロック図である。なお、同図に示す記録装置において、図9に示す上記従来の記録装置と同一構成要素には同一符号を付し、それらの説

明を省略するが、本記録装置と従来の記録装置との主な相違点は、本記録装置では、ウインドウ部3とスミージング部4との間に入出力切換部23が配置されていることである。

【0010】以下、本実施例に係る記録装置について詳細に説明する。図2は、デバイス制御回路7の詳細構成を示す回路図である。同図に示すデバイス制御回路は、プリンタエンジン部6（以下、エンジン部という）からの水平同期信号EBD（30）を分周して、プリンタコントローラ1（以下、コントローラという）に水平同期信号CBD（31）を送る。これは、エンジン部6が印字密度600dpiに対応しているのに対し、コントローラ1は、印字密度300dpiに対応しているため、ここでは両者の調整をとっている。

【0011】デバイス制御回路7は、その他、後述するメモリ部2内のSRAM43、3ステートバッファ44、ラッチ45、FIFO46、アドレスカウンタ47に制御信号（OE32、WE34）、（LCT33、OC35）、（TOG36、HRESET37）、VCLK38aを送る。図3、図4は、上記の信号のタイムチャートであり、ここでは、その概略動作を説明する。

【0012】図3において、VRESET39、HRESET38は、それぞれ垂直同期信号VSYNC46、水平同期信号EBD30の立ち上がりを切り出したもので、TOG36は、HRESET38を2分周したもので、また、ODL41は、EBD30が入力される毎にトグル動作をする副走査アドレス信号である。また、図4のSCLK38b、VCLK38aは、エンジン部6の画像クロックと、その1/2倍のクロックとなっており、図2の発振部100により生成されるシステムクロックCLK42を、それぞれ4分周、8分周したものである。そして、OE32、LCT33、WE34、OC35は、VCLK38の1周期の間に定義される8ステートの内、それぞれ、時刻t1～t3、t2～t6、t4～t6、t4～t7のステートの間、真（true）となる信号である。これらの信号は、メモリ部2、ウインドウ部3、入出力切換部23にそれぞれ送出される。

【0013】図5は、メモリ部2の詳細回路構成を示す図である。同図において、コントローラ（不図示）より水平同期信号CBD31を取り出し、クロックCCLK22に同期して送られてきた300dpiの画像データVDO8は、そのクロックにてFIFO46に書き込まれる。FIFO46は、300dpiの画像データ1ライン分以上を記憶する記憶容量を持つバッファ2個で構成されており、それぞれ、TOG信号36により交互に読み出しモード、書き込みモードが切り換わる。

【0014】ここでは、上記2個のバッファの片方にデータが書き込まれている間、他方のバッファからVCLK38のタイミングでデータが読み出される。HRESET信号37が、FIFO46内部のアドレスカウンタ

のリセット端子に接続されているため、コントローラからのデータが書き込まれている間にFIFOのアドレスカウンタは2度リセットがかかる。そのため、同じデータが2回読み出されることになるので、副走査方向の画像データの印字密度は、FIFOから出力される時点で600dpiとなる。

【0015】VCLK38は、4個の16bit同期カウンタで構成されるアドレスカウンタ47のクロック端子に接続され、SRAM43のアドレス信号（合計13個の信号）を発生する。また、FIFO46から出力された画像データは、SRAM43に7ライン分記憶される。図4に、そのときのタイムチャートである。FIFO46から出力された画像データは、8ビット構成をとるドラッチ45の1入力端子に入力され、ドラッチ45のクロック端子に接続されているLCT33により、時刻t2にラッチされる。同様に、SRAM43のデータ入出力端子D1～D6からは、出力信号OE32がtrueとなる時刻t1～t3の間、データが出力され、時刻t2にドラッチ45にラッチされる。なお、SRAM43のデータ入出力端子D1～D6は、3ステートバッファ44の出力端Y1～Y6とも接続されているが、時刻t1～t4の間は、3ステートバッファ44のゲート端子に接続されているOC信号35がfalseになっているため、3ステートバッファはハイインピーダンス状態となり、データ同士の衝突は起こらない。

【0016】時刻t3には、OE信号32がfalseとなり、SRAM43のデータバスはフローティング状態となる。また、時刻t4には、OC信号35とSRAM43の書き込み信号であるWE信号34がtrueになり、ドラッチ45にラッチされたFIFOからの画像データLINEOがSRAM43のD1端子に、D1端子からの出力画像データがD2端子にそれぞれ送られ、WE信号の立ち下がりによってSRAM43に書き込まれる。

【0017】このようにして、SRAM43のあるアドレスのデータを読み出し、同一アドレスに新たなデータを書き込むという動作を、VCLK38の1周期内に行なうことにより、数ライン分の画像データを記憶することができる。また、FIFO46からは、水平同期信号CBD31の1周期の間に同一ラインデータを2回読み出す。また、SRAM43には、その内の後半部分のみが書き込まれる。そして、記憶された7ライン分のデータは、ウインドウ部3に送られる。

【0018】図6は、ウインドウ部3の内部構成を示すブロック図である。同図に示されるように、ウインドウ部3は7個のシフトレジスタで構成され、主走査7ラインに展開されて49bitのデータが出力される。そして、これら49bitのデータは、入出力切換部23に送られる。図7は、入出力切換部23の内部構成を示すブロック図であり、図示のように、本回路は、36個の4-T0-1のセレクト48～83と、12個の2-T

0-1のセクタ84~95にて構成される。セクタ48~51には、A0、G0、A6、G6が入力され、セレクト信号であるVCLK、ODLの論理値により切り換わる。

【0019】例えば、VCLK、ODLとも論理“H”のときは、セクタ48、セクタ49、セクタ50、セクタ51の出力端からは、それぞれA0、G0、A6、G6が出力され、VCLK、ODLとも論理“L”であれば、セクタ48、セクタ49、セクタ50、セクタ51からは、それぞれG6、A6、G0、A0が出力される。また、VCLKが論理“H”のとき、セクタ90の出力はA3、セクタ91の出力はG3となり、VCLKが論理“L”のときには、セクタ90の出力はG3、セクタ91の出力はA3となる。

【0020】このように、注目画素（図11における画素D4に相当）を中心に点対称に位置する4個、あるいは2個の画素の画像データのグループが、セレクト信号であるVCLK、ODLの値により切り換って出力され、それらがスムージング部4に送られる。このスムージング部4は、図11におけるaの出力を生成するための論理のみで構成されており、b、c、dを生成するための論理は、aのその左右対称形であり、入力の49bitのデータがVCLK、ODLで切り換わることににより不要となる。こうしてスムージングされたデータはエンジン部に送られ、印字される。

【0021】以上説明したように、本実施例によれば、画素密度変換のための補間処理の際、注目画素に対して前後左右対称の位置関係にある周辺画素との変換論理式の対称性に着目してスムージング部に入力する画像データを切り換えることで、スムージング部における論理ゲート数を減らすことができ、装置のコスト低減が可能になるという効果がある。

【0022】なお、上記実施例では、文字や画像等を想定してスムージングを行なったが、図8に示すように、スムージング部4とエンジン部6との間にセクタ5を設け、コントローラ1からの指示信号16に応じて、セクタ5にてスムージングか、あるいは単純に4倍した600dpiの画像データSD3のいずれかを選択するようにしてもよい。こうすることで、デイザ画像等が送られてきたときに、印字サンプルに悪影響が出るのを防止できる。尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。

【0023】

【発明の効果】以上説明したように、本発明によれば、入力データの補間処理部に画像データを切り換えて入力することにより、補間処理部の論理ゲート数を減らすことができ、結果として装置のコスト低減を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例に係る記録装置の構成を示すブロック図、

【図2】実施例におけるデバイス制御回路の詳細構成を示す図、

【図3】

【図4】デバイス制御回路の動作タイミングチャート、

【図5】実施例におけるメモリ部の詳細回路構成を示す図、

【図6】実施例におけるウインドウ部の内部構成を示すブロック図、

【図7】実施例における入出力切換部の内部構成を示すブロック図、

【図8】実施例の変形例に係る記録装置の構成を示すブロック図、

【図9】従来の記録装置の構成を示すブロック図、

【図10】従来の記録装置にてスムージングを行なうときの論理式、

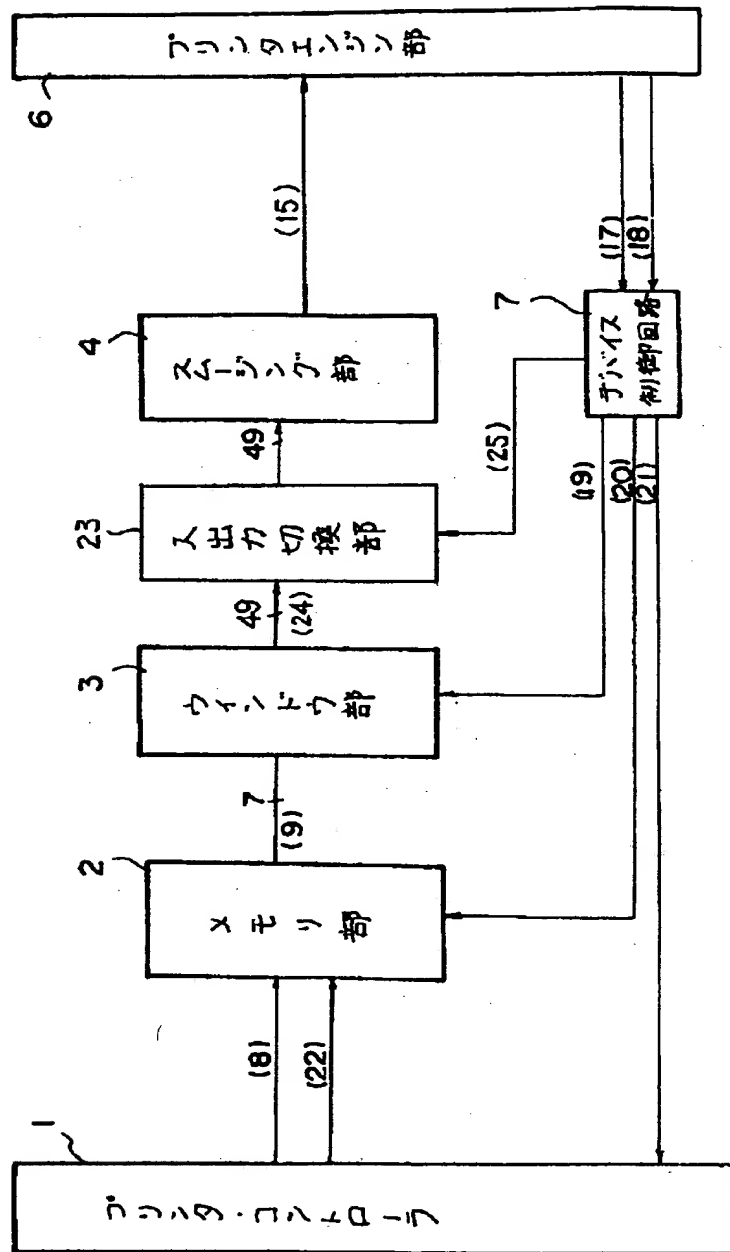
【図11】従来の記録装置における元画像データと補間後の画像データとの関係を示す図、

【図12】従来の記録装置におけるスムージング効果を示す図である。

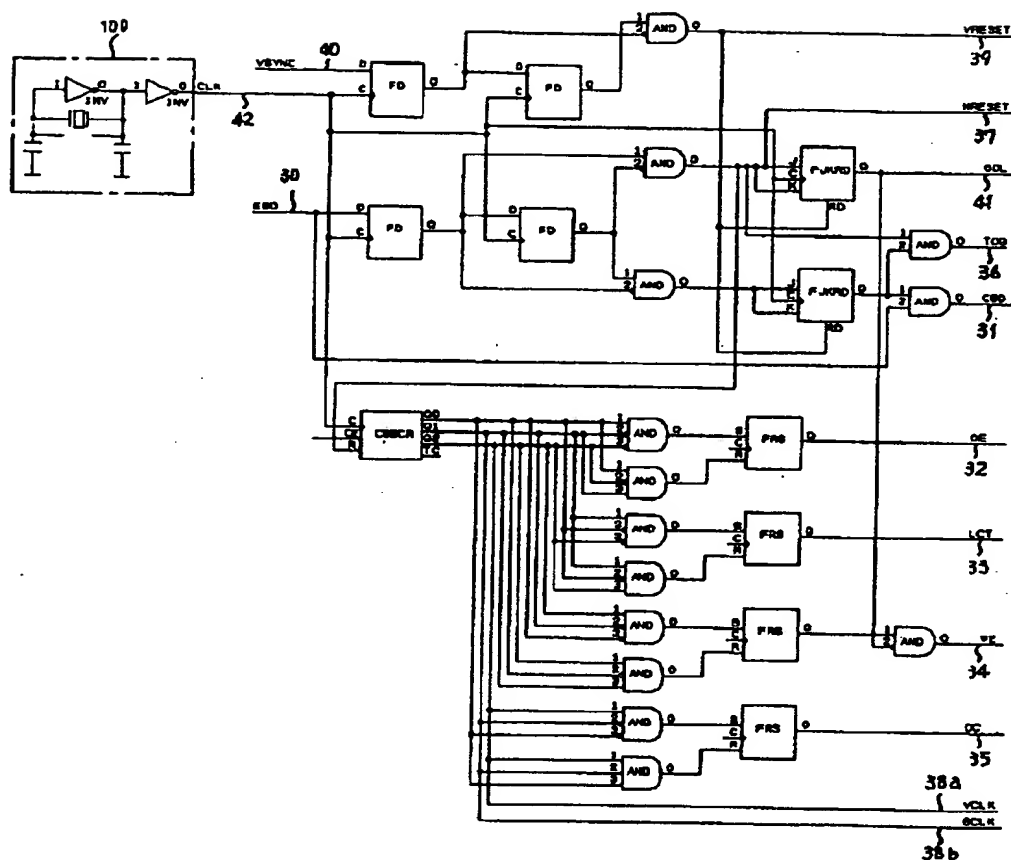
【符号の説明】

- 1 プリンタコントローラ
- 2 メモリ部
- 3 ウインドウ部
- 4 スムージング部
- 6 プリンタエンジン部
- 7 デバイス制御回路
- 22 入出力切換部
- 43 SRAM
- 44 3ステートバッファ
- 45 Dフリップフロップ
- 46 FIFO
- 47 アドレスカウンタ
- 48~83 4-TO-1セクタ
- 84~95 2-TO-1セクタ

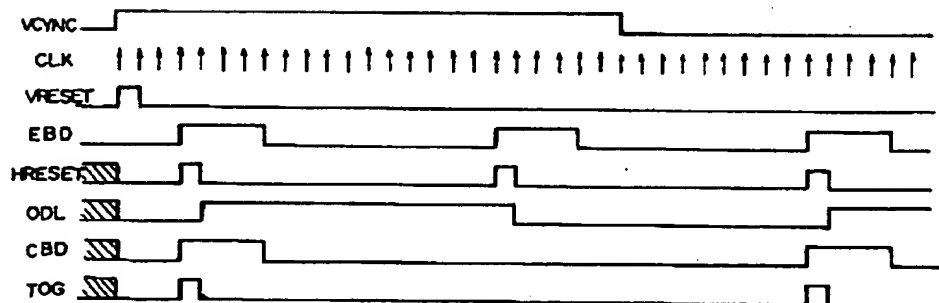
【図1】



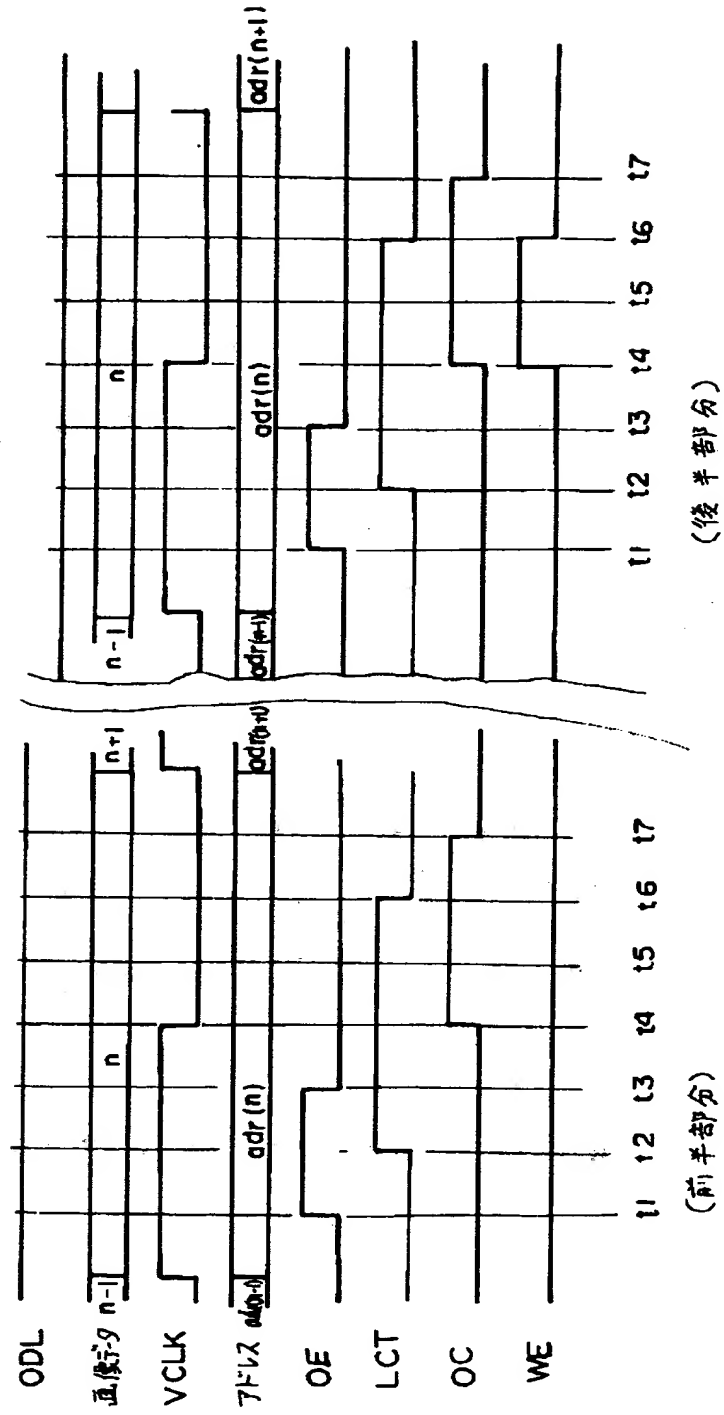
【図2】



【図3】



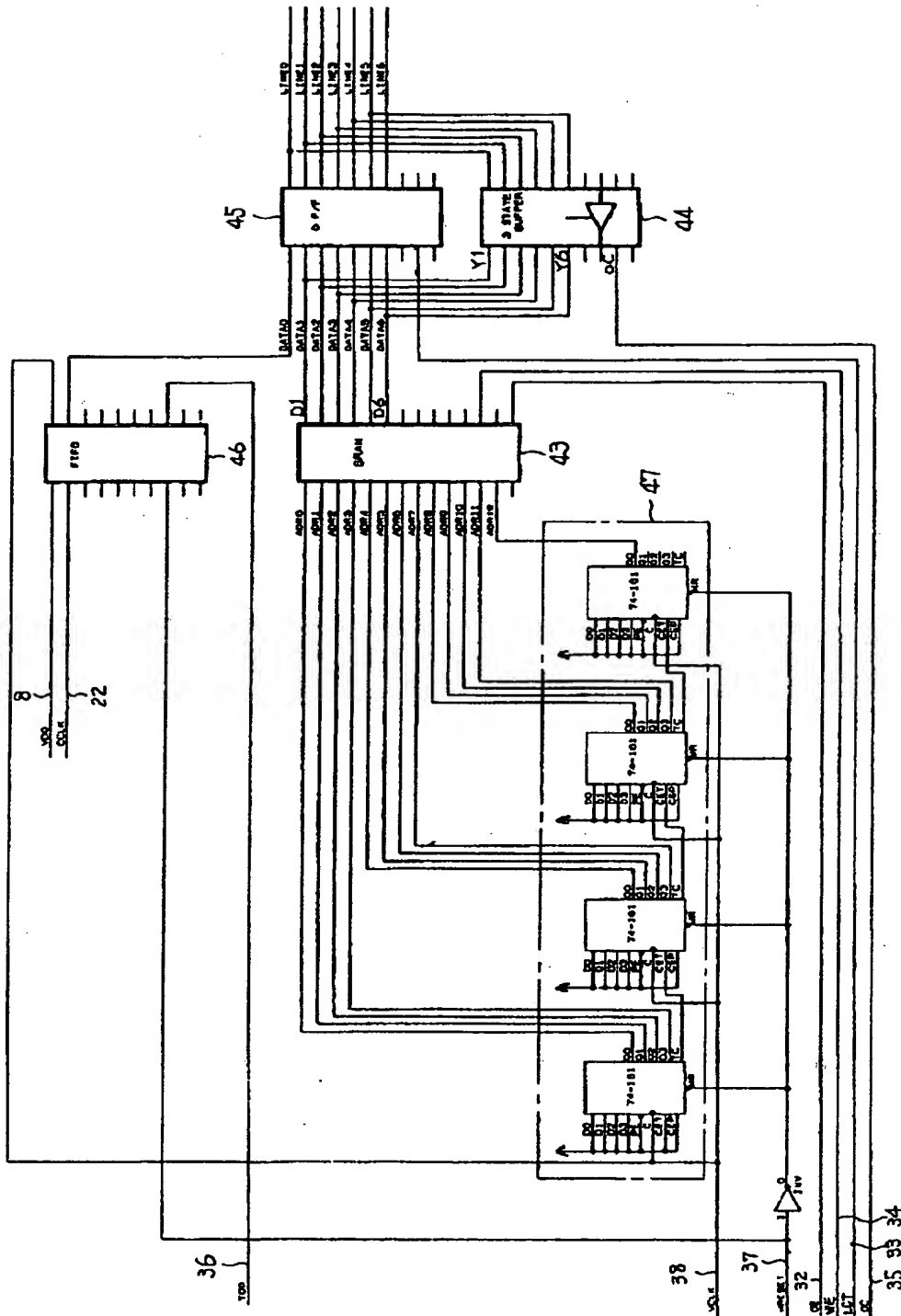
【図4】



(後半部分)

(前半部分)

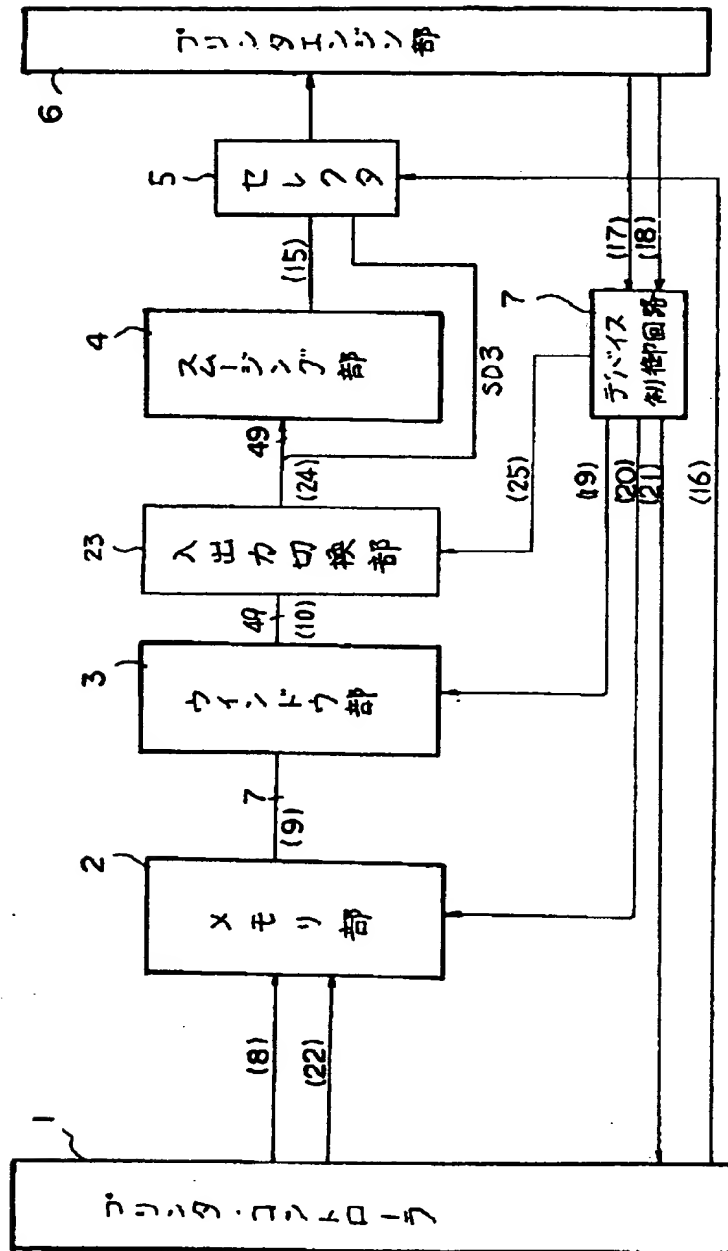
【図5】



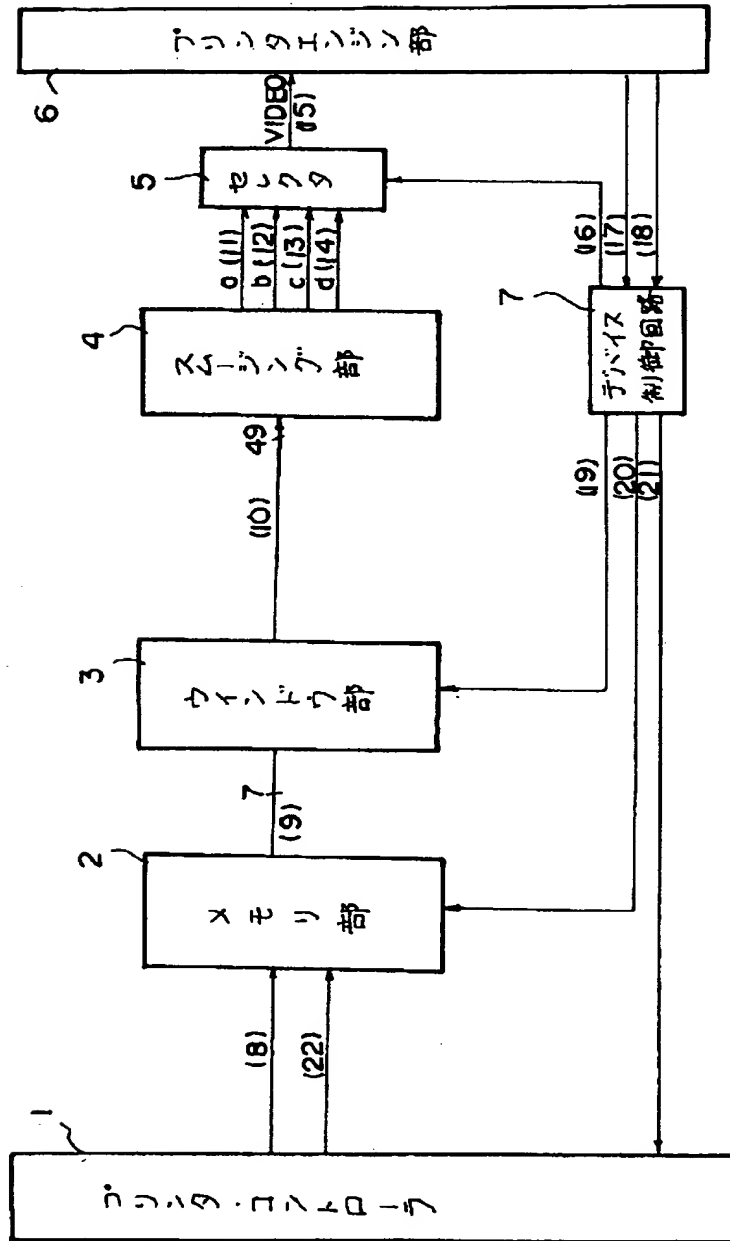
The diagram shows three 74-104 decoders connected to MRES1 and VCLK. The first decoder outputs LINE3, the second outputs LINE4, and the third outputs LINE5. The outputs are active-low signals.

	A	B	C	D	E	F	G
1							
2							
3							
4				a	b		
				c	d		
5							
6							
7							

【図8】



【図9】



【図10】

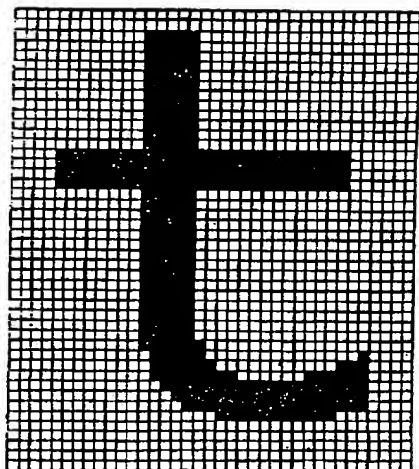
$$\begin{aligned}
 a = & C2 * D3 + D2 * C3 * \overline{E3} * \overline{C4} * D4 \\
 & + E2 * D3 * C4 + C3 * D3 * \overline{C2} * \overline{D2} * \overline{B3} * \overline{B4} \\
 & + E2 * C3 * D3
 \end{aligned}$$

$$\begin{aligned}
 b = & E2 * D3 + D2 * E3 * \overline{C3} * \overline{E4} * D4 \\
 & + C2 * D3 * E4 + E3 * D3 * \overline{E2} * \overline{D2} * \overline{F3} * \overline{F4} \\
 & + C2 * E3 * D3
 \end{aligned}$$

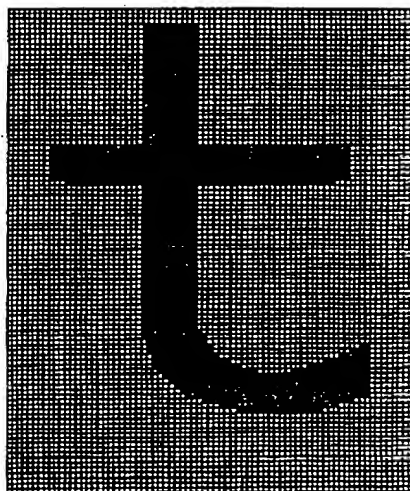
$$\begin{aligned}
 c = & C4 * D3 + D2 * C3 * \overline{E3} * \overline{C2} * D4 \\
 & + C2 * D3 * E4 + C3 * D3 * \overline{C4} * \overline{D4} * \overline{B3} * \overline{B2} \\
 & + E4 * C3 * D3
 \end{aligned}$$

$$\begin{aligned}
 d = & E4 * D3 + D2 * E3 * \overline{C3} * \overline{E2} * D4 \\
 & + E2 * D3 * C4 + E3 * D3 * \overline{E4} * \overline{D4} * \overline{F3} * \overline{F2} \\
 & + C4 * D3 * E3
 \end{aligned}$$

【図12】



(a)



(b)

フロントページの続き

(51)Int.Cl.⁵

識別記号

庁内整理番号

F 1

技術表示箇所

// G 0 9 G 5/36

8121-5G

(72)発明者 川名 孝

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内